



500.43193X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): H. ONOSE, et al.
Serial No.: 10/681,126
Filed: October 9, 2003
Title: SEMICONDUCTOR DEVICE

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

November 24, 2003

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby
claim(s) the right of priority based on:

Japanese Patent Application No. 2002-297026
Filed: October 10, 2002

A certified copy of said Japanese Patent Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

Gregory E. Montone
Registration No.: 28,141

GEM/rr
Attachment

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 1 0 日
Date of Application:

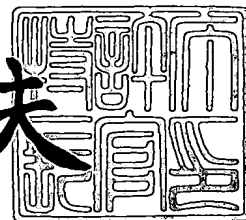
出 願 番 号 特 願 2 0 0 2 - 2 9 7 0 2 6
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 2 9 7 0 2 6]

出 願 人 株式会社日立製作所
Applicant(s):

2 0 0 3 年 1 0 月 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 8 1 1 9 0

【書類名】 特許願

【整理番号】 NT02P0212

【提出日】 平成14年10月10日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/80

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号 株式会社日立製作所 日立研究所内

【氏名】 小野瀬 秀勝

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号 株式会社日立製作所 日立研究所内

【氏名】 小林 秀男

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号 株式会社日立製作所 日立研究所内

【氏名】 渡辺 篤雄

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100068504

【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100086656

【弁理士】

【氏名又は名称】 田中 恭助

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100094352

【弁理士】

【氏名又は名称】 佐々木 孝

【電話番号】 03-3661-0071

【手数料の表示】

【予納台帳番号】 081423

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【その他】

国等の委託研究の成果に係る特許出願（平成 1 3 年度新エネルギー・産業技術総合開発機構（再）委託研究、産業活力再生特別措置法第 3 0 条の適用を受けるもの）

【プルーフの要否】

要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】

バンドギャップが 2.0 [eV] 以上の半導体であり、低不純物濃度の第一導電型の基体と、この基体の第一面に形成されかつ同一導電型を有し基体より低抵抗の第一領域と、この第一領域の他面に形成された第一電極と、前記基体の第二面に形成され基体と同じ導電型の第二領域と、この第二領域に形成された第二電極とから構成された半導体装置において、前記第二面に形成された溝と、この溝の底部から前記基体に向けて形成され、かつ基体と異なる導電型の制御領域と、この制御領域に形成された制御電極と、この制御電極の上部に絶縁膜を介して形成された前記第二電極を備えたことを特徴とする半導体装置。

【請求項 2】

請求項 1 において、前記溝の側壁の少なくとも一部に、前記基体と異なる導電型の制御領域を形成したことを特徴とする半導体装置。

【請求項 3】

請求項 2 において、前記側壁部の前記制御領域は、前記第二領域に接するように形成したことを特徴とする半導体装置。

【請求項 4】

請求項 2 又は 3 において、前記第二領域の下部にあり前記制御領域に挟まれたチャンネル領域の最狭部が、前記制御領域の深さの $1/2$ より深い位置にあることを特徴とする半導体装置。

【請求項 5】

請求項 2 ～ 4 のいずれかにおいて、前記側壁と前記制御領域との間に絶縁膜を形成したことを特徴とする半導体装置。

【請求項 6】

請求項 2 ～ 4 のいずれかにおいて、前記制御領域の幅を、第一領域側よりも第二領域側で狭くしたことを特徴とする半導体装置。

【請求項 7】

請求項 2～4 のいずれかにおいて、前記制御領域に挟まれたチャネル領域のうち前記溝の側壁へ隣接する側壁部を MOS チャネルとしたことを特徴とする半導体装置。

【請求項 8】

請求項 2～4 のいずれかにおいて、前記溝の側壁部に接する制御領域は、ショットキーコンタクトを形成し、MESFET を設けたことを特徴とする半導体装置。

【請求項 9】

請求項 1～8 のいずれかにおいて、前記第二電極を、単位素子全面に形成したことを特徴とする半導体装置。

【請求項 10】

バンドギャップが 2.0 [eV] 以上の半導体であり、低不純物濃度の n 型ドリフト領域と、このドリフト領域の第一面に形成されかつドリフト領域よりも低抵抗の n 型ドレイン領域と、このドレイン領域の他面に形成されたドレイン電極と、ドリフト領域の第二面に形成され同じ n 型のソース領域と、このソース領域に形成されたソース電極を備えた半導体装置において、ドリフト領域の第二面に形成された溝と、この溝の底部からドリフト領域に向けて形成された p 型ゲート領域と、このゲート領域に形成されたゲート電極と、このゲート電極の上部に絶縁膜を介して形成されたソース電極を備えたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、接合 FET (JFET) あるいは静電誘導トランジスタ (SIT) 等のトランジスタの構造の改良に関する。

【0002】

【従来の技術】

シリコンカーバイド (SiC) は絶縁破壊電界が Si に比べ約 10 倍大きいため、耐圧を維持するドリフト領域を薄く、かつ高濃度にすることができ、損失を低減できる材料である。SiC を用いたパワー半導体素子の一つに接合 FET (

J F E T)あるいは静電誘導トランジスタ (S I T)がある。S i Cの特長を利用したS I Tの例として、特許文献1に記載された構造がある。この特許文献1では、n+ドレイン領域、n-ドリフト領域、n+ソース領域、p型ゲート領域、p+コンタクト領域を備えている。また、ドレイン電極、ソース電極、ゲート電極がある。S I Tは、ゲートからチャンネルに広がる空乏層により電流をオンオフするトランジスタである。p型ゲート領域の間隔であるチャンネル幅を微細にすることで、ゲート電圧が0 [V]の場合でもオフ状態を保持できるノーマリオフを実現している。チャンネルは、両側からのp型ゲート領域に挟まれた領域であり、p型ゲート領域の厚みがチャンネル長になる。p型ゲート領域のうち浅いコンタクト領域からn-型ドリフト領域側に広がる空乏層は電流制御には関与していない。また、チャンネル両側のp型ゲート領域の不純物濃度が低い場合は、チャンネルだけでなくp型領域側にも空乏層が広がるため、オフ状態において、ドレイン電圧のブロッキング効果が弱い。このため高耐圧を実現するには極めて微細なチャンネル幅にする必要がある。

【0003】

【特許文献1】

特開2001-94120号公報 (図1ほか)

【0004】

【発明が解決しようとする課題】

耐圧数百 [V] のS I Tを考えた場合、具体的にはチャンネル長であるp型ゲート領域の厚さが0.5 [μ m]程度の場合、オン遮断能力を確保するためには、0.3 [μ m]以下のチャンネル幅が必要になる。p型ゲート領域の接合深さとして1 [μ m]程度が必要であり、このような深さの接合を得るためには、大きな加速エネルギーでイオン注入を行う必要がある。このため、[MeV]レベルという高エネルギーのイオン注入を用いることが考えられる。しかし、高エネルギーのイオン注入の場合、遮蔽用のマスク材を厚くする必要があるため、微細チャンネルを形成するには、アスペクト比の大きな微細ラインをホトリソプロセスで形成する必要があり、ばらつきの影響を被り易くなる。その時のプロセスばらつきとして ± 0.05 [μ m]を考慮すると、オン電圧、耐圧共プロセスばらつきの

影響を被るため、所定の耐圧が得られない、あるいは狭すぎてオン状態でも電流が流れないという特性ばらつきを生ずる。

【0005】

本発明の目的は、比較的低いエネルギーでのイオン注入により、低オン抵抗化とブロッキング効果を向上した半導体装置を実現することである。

【0006】

【課題を解決するための手段】

ゲートのブロッキング効果を高めるには、チャネル幅を狭くすることが効果的である。特にドレイン側からの電界の侵入を如何にして抑えるかが重要である。従って、チャネルの深さ方向全体にわたって幅を狭めることは必ずしも必要ではない。ドレイン側のチャネル幅が狭くなっていることが重要である。さらに p 型ゲート領域の濃度が低いと、p 型ゲート領域から拡がるポテンシャルバリアが低いドレイン電圧でも低下するため、ブロッキング効果がなくなってしまう。

【0007】

本発明はその一面において、ドリフト領域の第二面に形成された溝と、この溝の底部からドリフト領域に向けて形成された p 型ゲート領域と、このゲート領域に形成されたゲート電極と、このゲート電極の上部に絶縁膜を介して形成されたソース電極を備える。

【0008】

本発明は他の一面において、バンドギャップが 2.0 [eV] 以上の半導体であり、低不純物濃度の第一導電型の基体と、この基体の第一面に形成されかつ同一導電型を有し基体より低抵抗の第一領域と、この第一領域の他面に形成された第一電極と、基体の第二面に形成され基体と同じ導電型の第二領域と、この第二領域に形成された第二電極を備えた半導体装置において、基体の第二面に形成された溝と、この溝の底部から基体に向けて形成され、かつ基体と異なる導電型の制御領域と、この制御領域に形成された制御電極と、この制御電極の上部に絶縁膜を介して形成された第二電極を備える。

【0009】

本発明はさらに他の一面において、バンドギャップが 2.0 [eV] 以上の半

導体であり、低不純物濃度の n 型ドリフト領域と、このドリフト領域の第一面に形成されかつドリフト領域よりも低抵抗の n 型ドレイン領域と、このドレイン領域の他面に形成されたドレイン電極と、ドリフト領域の第二面に形成され同じ n 型のソース領域と、このソース領域に形成されたソース電極を備えた半導体装置において、ドリフト領域の第二面に形成された溝と、この溝の底部からドリフト領域に向けて形成された p 型ゲート領域と、このゲート領域に形成されたゲート電極と、このゲート電極の上部に絶縁膜を介して形成されたソース電極を備えている。

【0010】

このように、本発明では高エネルギーイオン注入を使わない方法として、ソース側の基板表面にトレンチ溝を形成し、かつ少なくとも溝の底部に p 型ゲート領域とゲート電極を設ける。これにより、低いエネルギーでもドレイン側のチャネル幅を狭い構造とすることができ、ゲートのブロッキング効果を高めることが可能である。

【0011】

さらに、ゲート電極上に絶縁膜を形成することにより、単位素子全面にソース電極を形成する構造とすれば、微細なパターンであってもソース電極における抵抗の増大を抑制でき、さらに低オン抵抗の実現が可能となる。

【0012】

【発明の実施の形態】

以下、本発明を実施例により詳細に説明する。

【0013】

図1は、本発明の第1の実施例による SIT の断面構造図である。図において 11 は低不純物濃度の第一導電型の基体すなわち n 型ドリフト領域である。10 は、前記 n 型ドリフト領域（基体）11 の第一面に形成され、かつ同一導電型 n を有しドリフト領域 11 より低抵抗の第一領域すなわち n+ドレイン領域である。12 は、基体 11 の第二面に形成され基体 11 と同じ導電型 n の第二領域すなわち n 型ソース領域である。32 は、ドリフト領域（基体）11 の第二面に形成されたトレンチ溝である。この溝 32 の底部から基体 11 に向けて、基体 11 と

異なる導電型 p の制御領域すなわちゲート領域 13 が形成されている。この制御領域 13 に形成された制御（ゲート）電極 23 と、この制御電極 23 の上部に絶縁膜 33 を介して第二（ソース）電極 22 を備える。221 は、第二（ソース）単位電極、21 は第一（ドレイン）電極である。

【0014】

本実施例においては、窒素のイオン注入により n+ソース 12 を素子の機能部全面に形成した後、ドライエッチングにより 1 [μm] 深さのトレンチ溝 32 を形成した。そのトレンチ溝 32 の底部に、最大 350 [keV] の加速エネルギーで A1 をイオン注入することにより、p 型ゲート領域 13 を形成した。トレンチ溝 32 の間隔（n+ソース領域 12 の幅）は 0.5 [μm] である。これにより、1 [MeV] のような高エネルギーを用いることなく 1 [μm] より深い接合を形成することができた。

【0015】

図 2 は、本発明の作用を説明するための第 1 の実施例における不純物濃度プロファイルである。接合深さ D は約 1.4 [μm]、チャネル 14 の幅が最も狭くなる最狭部の深さは約 1 [μm] であり、接合深さ D の約 70 [%] である。

【0016】

図 3 は、耐圧およびオン抵抗に対する最小チャネルの最狭部の深さと接合深さの比の関係を調べた結果である。耐圧は深さ比が 0.5 より小さくなると急激に減少する。一方、オン抵抗の深さ比依存性は耐圧ほど大きくはなく、深さ比が 0.5 より大きな場合であっても、オン抵抗の増大は顕著ではない。従って、チャネル幅が最小値となる深さを接合深さの 1/2 より深くすることにより、オン抵抗の著しい増大を招くことなく、ブロッキング性能の向上を図ることができる。

【0017】

本発明の第 1 の実施例によれば、上記のように、チャネル 14 の最狭部が接合深さ約 1 [μm] の 1/2 より十分に深い約 70 [%] である。このため、15 [V] のゲート逆バイアスで、600 [V] 以上の耐圧を得ることができ、また、オン抵抗は 1 [$\text{m}\Omega \cdot \text{cm}^2$] という良好な特性を得ることができた。

【0018】

図4は、本発明の第2の実施例を示すSITの断面構造図である。本実施例においては、p型ゲート領域13をイオン注入で形成する時に、斜めイオン注入の手法を適用することにより、トレンチ溝32の側壁部へもp型ゲート領域131を形成したものである。

【0019】

これにより、10[V]のゲート逆バイアスで600[V]以上の耐圧を得ることができ、またオン抵抗は1.2[mΩ・cm²]と、良好な特性であった。

【0020】

図5は、本発明の第3の実施例を示すSITの断面構造図である。本実施例においては、実施例2におけるトレンチ溝32の側壁部への斜めイオン注入を、300[keV]より低く抑えることにより、p型ゲート領域13の幅を、ドレイン側132よりもソース側133で狭くしたものである。

【0021】

これにより、5[V]のゲート逆バイアスで600[V]以上の耐圧を得ることができ、またオン抵抗は1.5[mΩ・cm²]と、良好な特性であった。

【0022】

図6は、本発明の第4の実施例を示すSITの断面構造図である。本実施例においては、図4の実施例2におけるトレンチ溝32の側壁部のp型ゲート領域134を、n⁺ソース領域12に接するように形成した。これはSiCでは絶縁破壊電界が高いため、高濃度のpn接合でも耐圧を確保できるからである。

【0023】

これにより、ゲート電圧で制御できるチャネル長を延ばすことができ、2.5[V]のゲート逆バイアスで600[V]以上の耐圧を得ることができ、またオン抵抗は1.7[mΩ・cm²]と、良好な特性であった。

【0024】

図7は、本発明の第5の実施例を示すSITの断面構造図である。本実施例においては、図5の実施例3に加え、トレンチ溝32の側壁部のp型ゲート領域135を、n⁺ソース領域12に接するように形成した。これにより、ゲート電圧で制御できるチャネル14の長さを延ばすことができ、ゲート逆バイアスなしで

600 [V] 以上の耐圧を得ることができ、またオン抵抗は $2 \text{ [m}\Omega \cdot \text{cm}^2]$ と、良好な特性であった。

【0025】

図8は、本発明の第6の実施例を示すSITの断面構造図である。本実施例においては、図1の実施例1において、トレンチ溝32の側壁を酸化するなどして、絶縁膜のサイドウォール331を形成した。

【0026】

本実施例においても、図1の実施例1と同様の良好な特性が得られた。

【0027】

図9は、本発明の第7の実施例を示すSITの断面構造図である。本実施例においては、図4の実施例2において、トレンチ溝32の側壁を酸化するなどして、絶縁膜のサイドウォール332を形成した。

【0028】

本実施例においても、図4の実施例2と同様の良好な特性が得られた。

【0029】

図10は、本発明の第8の実施例を示すSITの断面構造図である。本実施例においては、図5の実施例3において、トレンチ溝32の側壁を酸化するなどして、絶縁膜のサイドウォール333を形成した。本実施例においても、図5の実施例3と同様の良好な特性が得られた。

【0030】

図11は、本発明の第9の実施例を示すSITの断面構造図である。本実施例においては、図6の実施例4において、トレンチ溝32の側壁を酸化するなどして、絶縁膜のサイドウォール334を形成した。

【0031】

本実施例においても実施例6と同様の良好な特性が得られた。

【0032】

図12は、本発明の第10の実施例を示すSITの断面構造図である。本実施例においては、図7の実施例5において、トレンチ溝32の側壁を酸化するなどして、絶縁膜のサイドウォール335を形成した。

【0033】

本実施例においても実施例7と同様の良好な特性が得られた。

【0034】

図13は、本発明の第11の実施例を示すSITの断面構造図である。本実施例は、図1の実施例1に加えて、溝32の側壁に接するチャンネル14の側壁部をMOSチャンネルとした例である。図において、31はゲート絶縁膜、231はMOSFETのゲート電極であり、低抵抗多結晶シリコンや、Alなどの金属である。本実施例では、制御領域13に挟まれたチャンネル領域14のうち、前記溝32の側壁へ隣接する側壁部をMOSチャンネルとし、通常のSIT動作に加えて、チャンネル14にMOSFETを設けることでオフ特性を向上する。同時に、オン状態ではゲートに正電圧を加えることでトレンチ溝32の側壁に導通用のMOSチャンネルを形成できるようにし、オン特性の改善を試みたものである。

【0035】

これにより、ゲート逆バイアスなしで、600 [V] 以上の耐圧を得ることができ、また、オン抵抗は、 $1.7 \text{ [m}\Omega \cdot \text{cm}^2]$ と、良好な特性が得られた。

【0036】

図14は、本発明の第12の実施例を示すSITの断面構造図である。本実施例は、図1の実施例1に加えて、チャンネル14側壁部にMESFETを形成した例である。図において、24はMESFETのショットキーゲート電極である。これにより、前記トレンチ溝32の側壁部に接する制御領域136は、前記側壁部でショットキーコンタクトを形成している。本実施例では、通常のSIT動作に加えて、チャンネル14部にMESFETを設けることで、オフ特性を向上できる。また、オン状態ではゲートに正電圧を加えることで、トレンチ溝32の側壁に導通用のMOSチャンネルを形成できるようにし、オン特性の改善を試みたものである。

【0037】

この構成によれば、ゲート逆バイアスなしで、600 [V] 以上の耐圧を得ることができ、オン抵抗は $1.5 \text{ [m}\Omega \cdot \text{cm}^2]$ という良好な特性が得られた。

【0038】

以上の実施例によれば、低ゲート逆バイアスかつ低オン抵抗が実現できるため、インバーター用のスイッチングデバイスに用いるとゲート駆動が容易になると共に損失を低減できるという効果を持つ。

【0039】

【発明の効果】

本発明によれば、比較的低いエネルギーでのイオン注入により、低オン抵抗化とブロッキング効果を向上した半導体装置を実現することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施例によるSITの断面構造図。

【図2】

本発明の第1の実施例における不純物濃度プロファイルを示すグラフ。

【図3】

耐圧、オン抵抗対チャネル最狭部の深さと接合深さの比の関係を示すグラフ。

【図4】

本発明の第2の実施例を示すSITの断面構造図。

【図5】

本発明の第3の実施例を示すSITの断面構造図。

【図6】

本発明の第4の実施例を示すSITの断面構造図。

【図7】

本発明の第5の実施例を示すSITの断面構造図。

【図8】

本発明の第6の実施例を示すSITの断面構造図。

【図9】

本発明の第7の実施例を示すSITの断面構造図。

【図10】

本発明の第8の実施例を示すSITの断面構造図。

【図11】

本発明の第 9 の実施例を示す S I T の断面構造図。

【図 1 2】

本発明の第 1 0 の実施例を示す S I T の断面構造図。

【図 1 3】

本発明の第 1 1 の実施例を示す S I T の断面構造図。

【図 1 4】

本発明の第 1 2 の実施例を示す S I T の断面構造図。

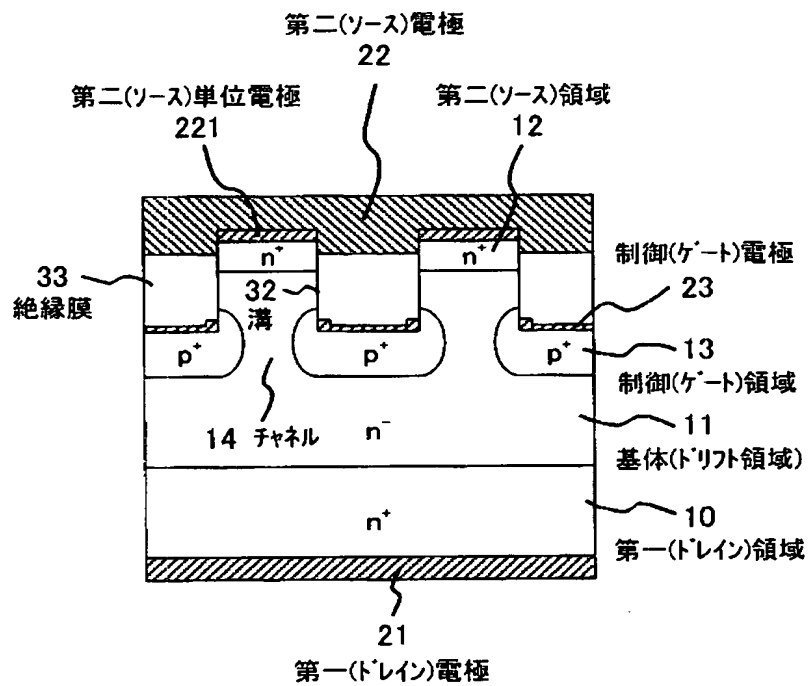
【符号の説明】

1 0…第一領域（n 型ドレイン領域）、1 1…基体（n 型ドリフト領域）、1 2…第二領域（n ソース領域）、1 3…p 型ゲート領域、1 4…チャネル、2 1…第一（ドレイン）電極、2 2…第二（ソース）電極、2 3…ゲート電極、2 4…ショットキーゲート電極、3 1…ゲート酸化膜、3 2…トレンチ溝、3 3 1～3 3 5…サイドウォール酸化膜、3 3…埋め込み酸化膜。

【書類名】 図面

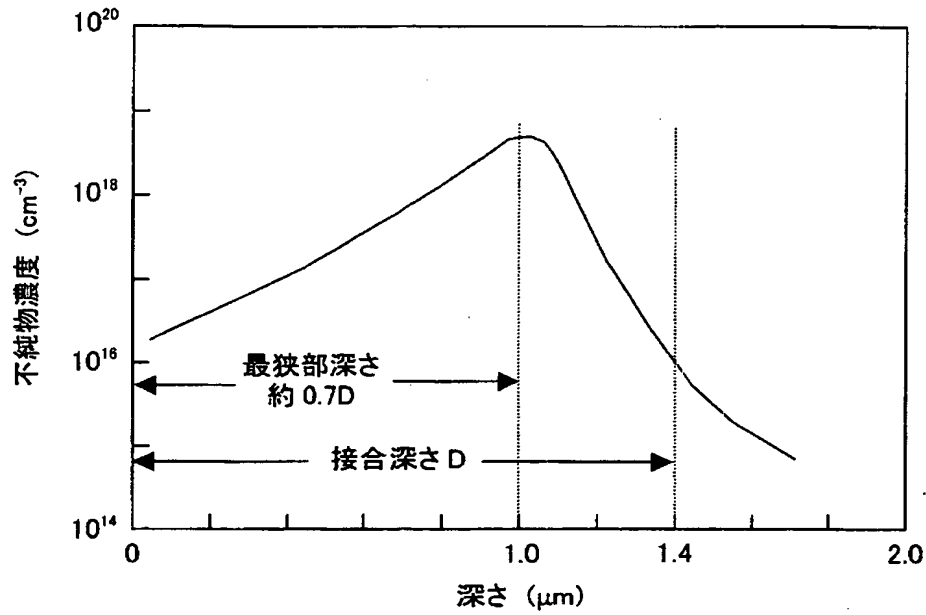
【図 1】

圖 1



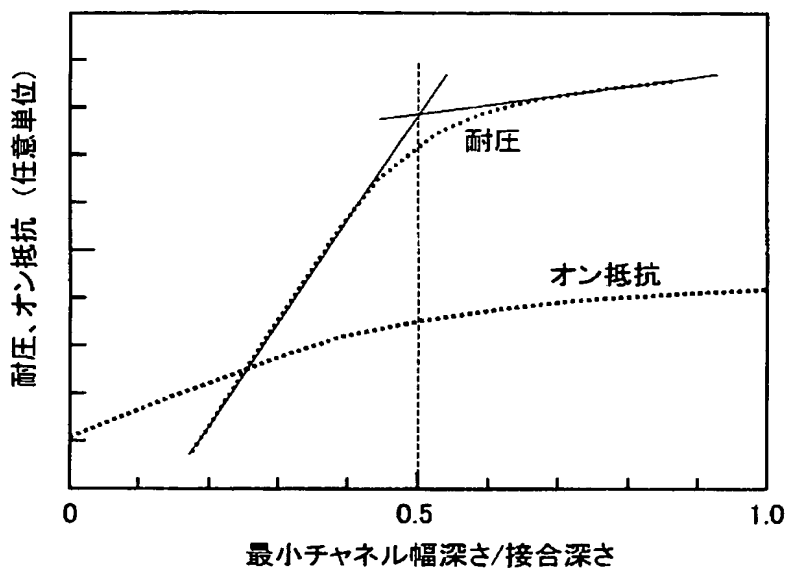
【図 2】

図 2



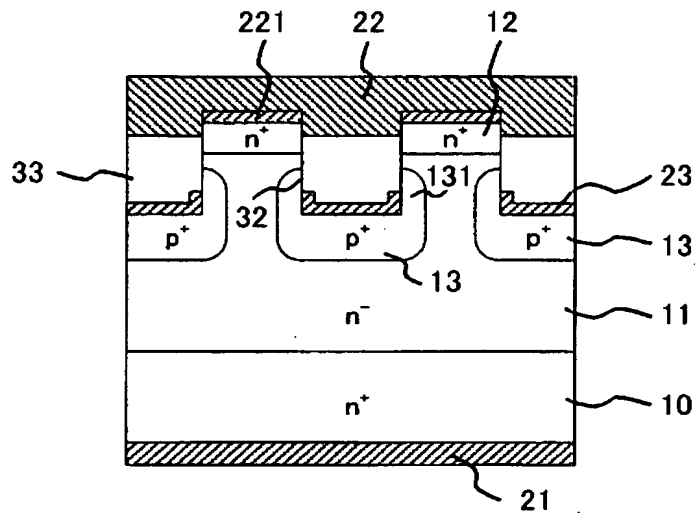
【図 3】

図 3



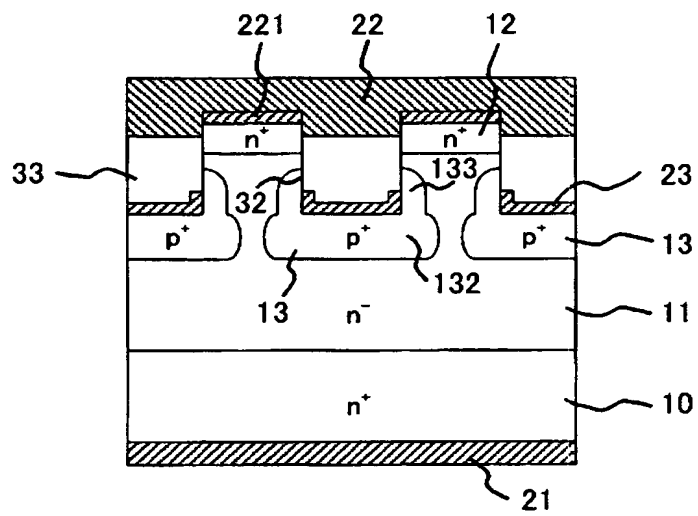
【図 4】

図 4



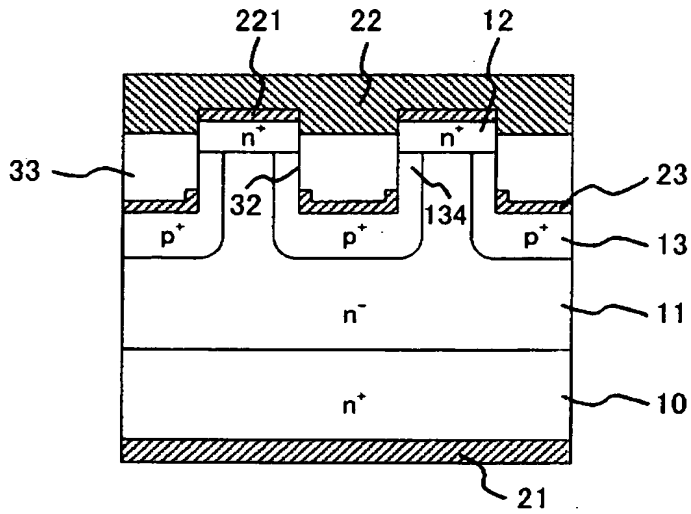
【図 5】

図 5



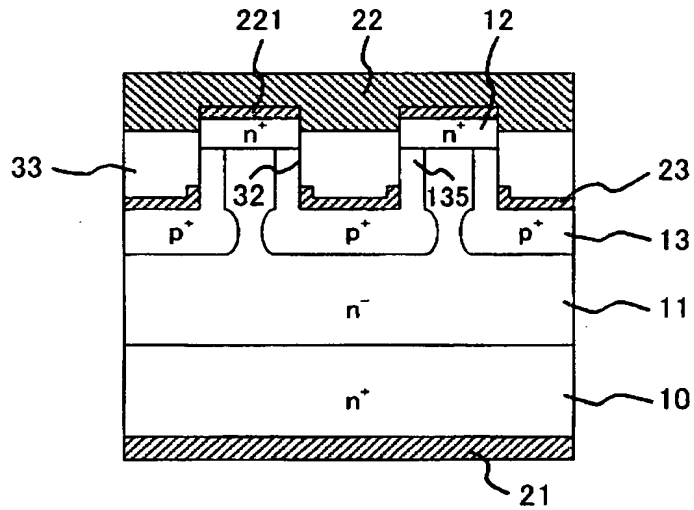
【図 6】

図 6



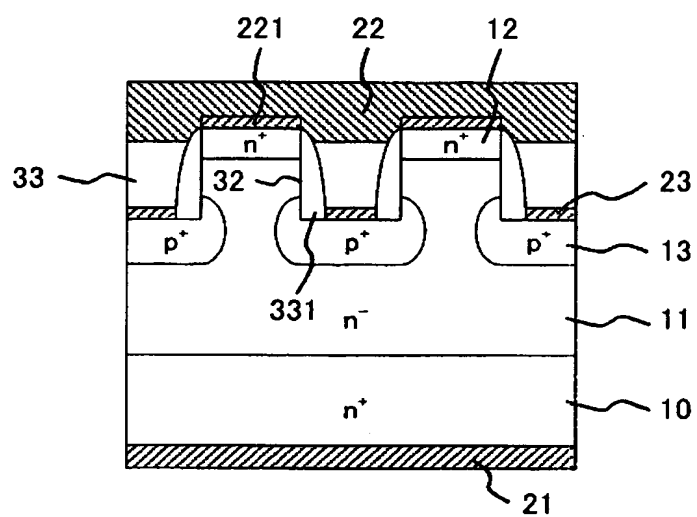
【図 7】

図 7



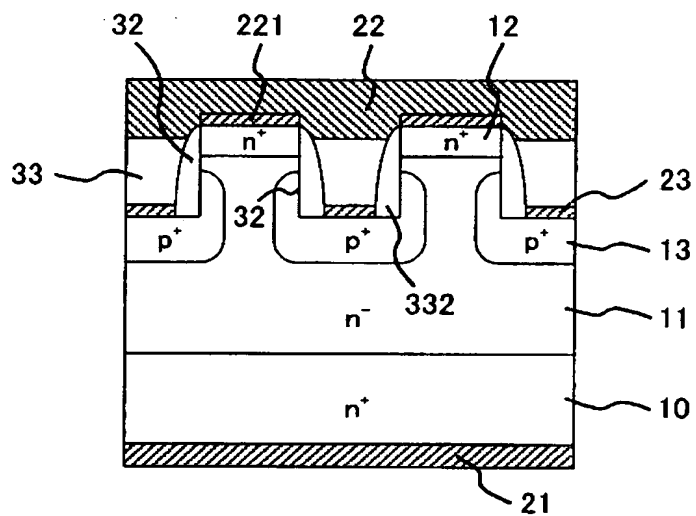
【図 8】

図 8



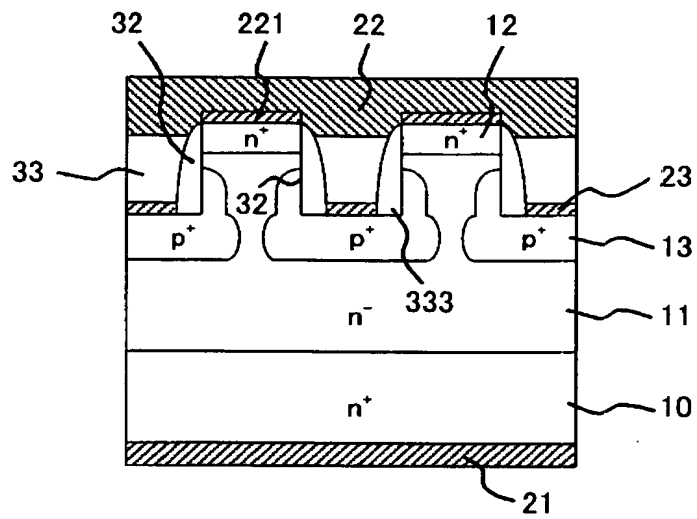
【図 9】

図 9



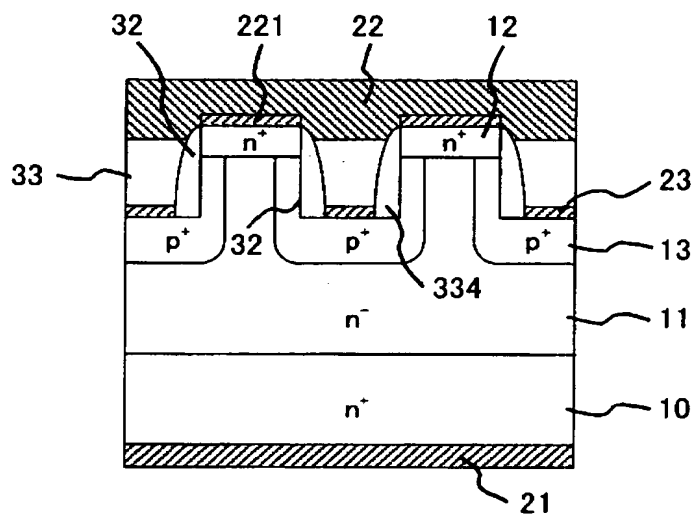
【図 10】

图 10



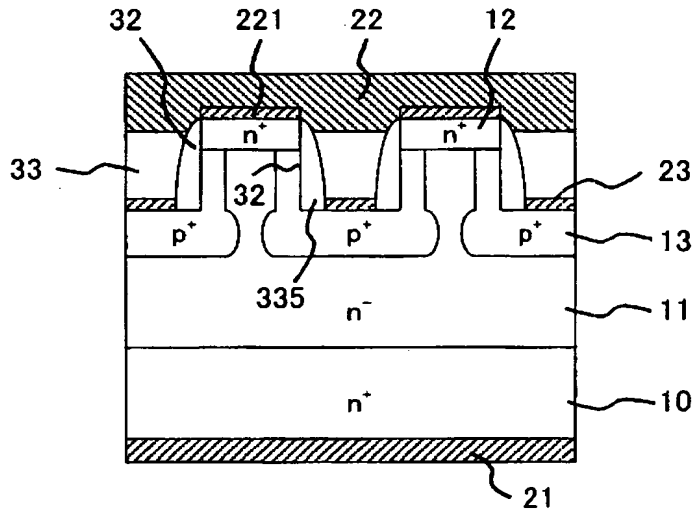
【図 1 1】

圖 11



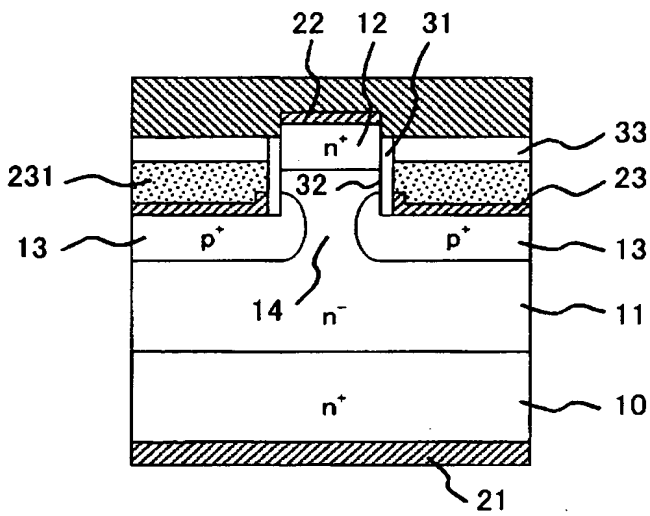
【図 12】

図 12



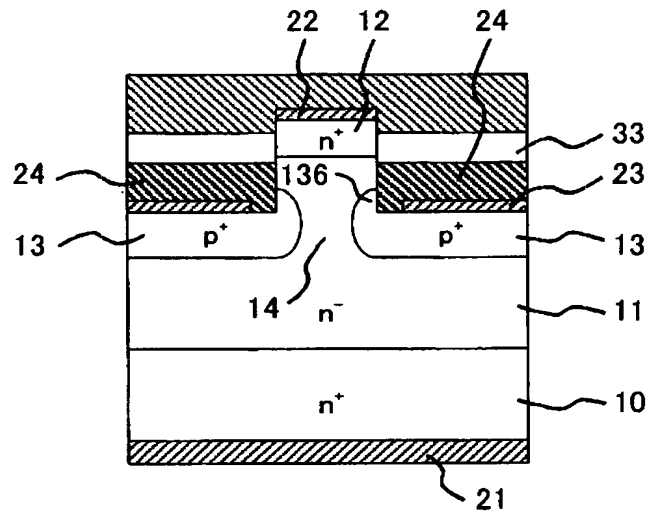
【図 13】

図 13



【図 14】

図 14



【書類名】 要約書

【要約】

【課題】 比較的低いエネルギーでのイオン注入により、低オン抵抗化とブロッキング効果を向上し、良好な電気特性を実現できる半導体装置を得る。

【解決手段】 ドリフト領域 11 のソース側の面にトレンチ溝 32 を形成し、溝 32 の底部に p 型ゲート領域 13 とゲート電極 23 を設け、絶縁膜 33 を介して単位素子全面にソース電極 22 を形成する。また、チャンネル 14 の最狭部を p 型ゲート領域 13 の接合の 1/2 よりも深くする。これにより、低いエネルギーでもドレイン側のチャンネル 14 の幅を狭くでき、ゲートのブロッキング効果を高めることができる。

【選択図】 図 1

特願 2 0 0 2 - 2 9 7 0 2 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所